

PHÁT TRIỂN NỀN TẢNG PHẦN CỨNG CẤU HÌNH LẠI ĐƯỢC ĐA LỖI DỰA  
THEO KIẾN TRÚC NoC TRÊN FPGA

*DEVELOPING A FLEXIBLE NoC-BASED MULTICORE RECONFIGURABLE HARDWARE  
PLATFORM ON FPGA*

Tác giả: Nguyễn Văn Cường, Phạm Văn Vĩnh, Nguyễn Trọng Các

Trường Đại học Công nghiệp Tp.HCM; {nguyenvancuong, phamvanvinh}@iuh.edu.vn  
Trường Đại học Sao Đỏ; cacdhsd@gmail.com

Tóm tắt:

Linh hoạt và khả năng mở rộng là các đặc tính rất quan trọng trong các nền tảng nhúng hiện đại. Cấu hình lại từng phần động (Dynamic Partial Reconfigurable) trên FPGA và kiến trúc mạng trên chip (NoC: Network on Chip) là các giải pháp tuyệt vời cho các yêu cầu thiết kế này. Bài báo tập trung vào phát triển nền tảng phần cứng cấu hình lại được tại thời gian chạy trên FPGA dựa theo kiến trúc NoC. Nền tảng này có khả năng cấu hình lại các mô đun cho lớp truyền thông NoC để tối ưu hóa cấu trúc truyền thông theo yêu cầu thay đổi của ứng dụng nhằm nâng cao hiệu quả sử dụng tài nguyên và cải thiện hiệu năng mạng hoặc cấu hình lại lớp tính toán khi có ứng dụng mới triển khai lên nền tảng một cách linh hoạt. Mô hình này đã được nhóm tác giả thực nghiệm và kiểm chứng trên FPGA Virtex-6 chip XC6VLX240T.

*Từ khóa: Cấu hình động; Mạng trên chip; Multicore; FPGA.*

Abstract:

Flexibility and scalability are very important characteristics of modern embedded platforms. The Dynamic Partial Reconfigurable (DPR) FPGA and Network on Chip (NoC) architectures are excellent solutions to these requirements. This paper focuses on the development of a NoC-based run-time reconfigurable hardware platform on FPGA. This platform is capable of reconfiguring NoC communication modules to optimize the communication structure in response to changes in application processing requirements in order to increase the resource usage efficiency and to improve the network performance. The platform can also reconfigure processing elements when new applications need to be deployed. This model is implemented on Virtex-6 FPGA with AXI Bus.

*Key words: DPR; NoC; Multicore; FPGA.*